

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242461

(43)Date of publication of application : 11.09.1998

(51)Int.Cl. H01L 29/78  
H01L 21/283  
H01L 21/316

(21)Application number : 09-043369

(71)Applicant : SONY CORP

(22)Date of filing : 27.02.1997

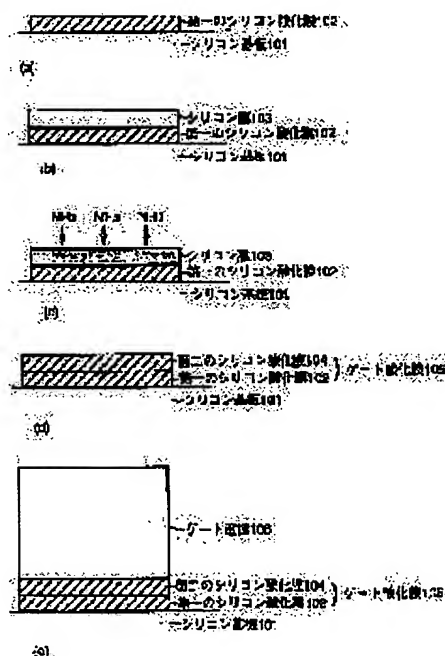
(72)Inventor : TANAKA NOBUFUMI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device having a silicon oxide film which restrains the penetration of boron into a silicon substrate, which suppress entrance of nitrogen into the silicon substrate while the degradation of a device characteristic is being suppressed and which can prevent degradation of the device characteristics due to it.

**SOLUTION:** A silicon single-crystal substrate 101 is heat-treated in a gas containing oxygen or vapor, and a first silicon oxide film 102 is formed. (a) Then, a silicon film 103 is formed on the silicon oxide film 102. (b) In succession, the silicon film 103 is heat-treated quickly in an NH<sub>3</sub> gas atmosphere so as to be changed into a nitride. (c) In addition, the silicon film 103 is heat-treated in a gas containing oxygen or vapor so as to be changed into an oxide, and a second silicon oxide film 104 is formed. (d) As a result, the first silicon oxide film 102 and the second oxide film 104 are laminated so as to be regarded as a gate oxide film 105.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 0 - 2 4 2 4 6 1

(43) 公開日 平成 1 0 年 ( 1 9 9 8 ) 9 月 1 1 日

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/78

H01L 29/78

301

G

21/283

21/283

L

21/316

21/316

M

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号

特願平 9 - 4 3 3 6 9

(22) 出願日

平成 9 年 ( 1 9 9 7 ) 2 月 2 7 日

(71) 出願人 0 0 0 0 0 2 1 8 5

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 3 5 号

(72) 発明者 田中 伸史

東京都品川区北品川 6 丁目 7 番 3 5 号 ソ

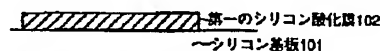
ニー株式会社内

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

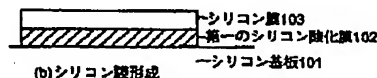
【課題】 ホウ素のシリコン基板への侵入を抑制し、デバイス特性劣化を抑制しながらも、さらに窒素のシリコン基板への侵入も低減し、それによるデバイス特性劣化も抑制できるシリコン酸化膜を有する半導体装置の提供。

【解決手段】 図 2 (a) に示すように、シリコン単結晶基板 101 を、酸素または水蒸気を含むガス中にて熱処理し、第一のシリコン酸化膜 102 を形成する。次に、図 2 (b) に示すように、第一のシリコン酸化膜 102 上にシリコン膜 103 を形成する。続いて、図 2 (c) に示すように、NH<sub>3</sub> ガス雰囲気中で急速熱処理にてシリコン膜 103 を窒化。さらに、図 2 (d) に示すように、酸素または水蒸気を含むガス中にて熱処理し、シリコン膜 103 を酸化し、第二のシリコン酸化膜 104 とする。この結果、第一のシリコン酸化膜 102 と第二のシリコン酸化膜 104 が積層され、ゲート酸化膜 105 とみなされる。



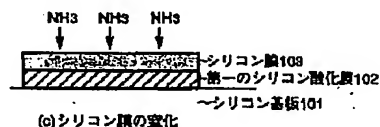
第一のシリコン酸化膜 102  
〜シリコン基板 101

(a) 第一のシリコン酸化膜形成



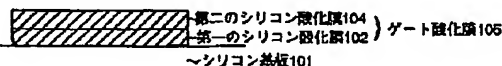
シリコン膜 103  
第一のシリコン酸化膜 102  
〜シリコン基板 101

(b) シリコン膜形成



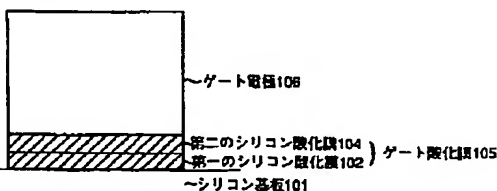
NH<sub>3</sub> NH<sub>3</sub> NH<sub>3</sub>  
シリコン膜 103  
第一のシリコン酸化膜 102  
〜シリコン基板 101

(c) シリコン膜の窒化



第二のシリコン酸化膜 104  
第一のシリコン酸化膜 102  
〜シリコン基板 101

(d) 窒化処理シリコン膜の酸化



ゲート電極 105  
第二のシリコン酸化膜 104  
第一のシリコン酸化膜 102  
〜シリコン基板 101

(e) 窒化処理シリコン膜の酸化

## 【特許請求の範囲】

【請求項 1】 半導体基板上に形成されるゲート絶縁膜であって、

シリコン基板表面を酸化して形成した第一のシリコン酸化膜と、前記第一のシリコン酸化膜上にシリコン膜を形成し、該シリコン膜を酸化することによって形成した第二のシリコン酸化膜とが合わされて構成されている、ことを特徴とする半導体装置。

【請求項 2】 ゲート絶縁膜形成において、

シリコン基板表面を酸化して第一のシリコン酸化膜を形成する工程と、

前記第一のシリコン酸化膜の上にシリコン膜を形成する工程と、

前記第一のシリコン酸化膜上のシリコン膜を窒化処理する工程と、

前記窒化処理されたシリコン膜を酸化して、第二のシリコン酸化膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 3】 第一のシリコン酸化膜上のシリコン膜の酸化および窒化を同時に行うことを特徴とする請求項 2 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年、半導体素子は、高集積化、高性能化が進んでいるが、低電圧化、低消費電力化等の要求に従い、Pチャネル型MOSトランジスタでは、P'型ゲート電極が必要とされている。一般に、P'型ゲート電極はゲート電極となるポリシリコンにホウ素を導入して形成する。しかし、ホウ素を導入して形成するP'型ゲート電極を用いた場合、導入したホウ素がLSI製造工程における高温熱処理中の拡散などによって、ゲート酸化膜に入り込み、さらにゲート酸化膜を突き抜けてシリコン基板に侵入し、MOSトランジスタのしきい値電圧を変動させたり、ゲート酸化膜の信頼性を悪化させ、言わゆる「ボロンの突き抜け」として問題となっている。この「ボロンの突き抜け」問題に対して、酸化膜中の窒素がホウ素の拡散を抑制する効果を利用して、ゲート酸化膜中に窒素原子を導入することにより、ゲート電極からシリコン基板へのホウ素拡散を抑制したいいくつかの試みが報告されている（例えば、E.Hasegawaら、IEDM Tech. Digest, 895(1993)、C.T.Liuら、Digest of the International Symposium on VLSI Technology, 18(1996) など参照）。

【0003】

【発明が解決しようとする課題】 しかしながら、窒素の導入された酸化膜を形成するには、例えばNH<sub>3</sub>、N<sub>2</sub>Oなどの窒素を含むガス中で酸化膜を熱処理して酸化膜

を窒化する方法があるが、この方法を用いると、酸化膜中の窒素の濃度分布は、図1に示すように、シリコン酸化膜とシリコン基板との界面に、言い換えると、シリコンの酸化部分と未酸化部分の界面に窒素の濃度ピークを持つようになる。また、他にも窒素の導入された酸化膜を形成するには、シリコン基板をNOなどの窒素を含むガス中で酸化することでも得られるが、これらの方法によっても、シリコン基板を酸化してからこれを窒化したときと同様に、シリコン酸化膜とシリコン基板の界面に窒素の濃度ピークを持つ。このとき、酸化膜中に窒素が導入されることにより、ボロンの突き抜けは抑制できるものの、図1から分かるように、窒素はシリコン基板にも侵入してしまうため、これが新たにPチャネル型MOSトランジスタのトランスコンダクタンス劣化という半導体素子の性能劣化を引き起こしてしまう（例えばH.S. Momoseら、IEEE Trans. Electron Devices, vol. 41, No. 4, 546(1994) 参照）。

【0004】 したがって本発明の目的は、ホウ素のシリコン基板への侵入を抑制し、デバイス特性劣化を抑制しながらも、さらに窒素のシリコン基板への侵入も低減し、それによるデバイス特性劣化も抑制できるシリコン酸化膜を有する半導体装置およびその製造方法の提供である。

【0005】

【課題を解決するための手段】 本発明者らは鋭意研究の結果、上述の課題を解決することを得た。すなわち本発明は、半導体基板上に形成されるゲート絶縁膜であって、シリコン基板表面を酸化して形成した第一のシリコン酸化膜と、前記第一のシリコン酸化膜上にシリコン膜を形成し、該シリコン膜を酸化することによって形成した第二のシリコン酸化膜とが合わされて構成されている。また本発明は、ゲート絶縁膜形成において、シリコン基板表面を酸化して第一のシリコン酸化膜を形成する工程と、前記第一のシリコン酸化膜の上にシリコン膜を形成する工程と、前記第一のシリコン酸化膜上のシリコン膜を窒化処理する工程と、前記窒化処理されたシリコン膜を酸化して、第二のシリコン酸化膜を形成する工程とを有するものである。

【0006】

【発明の実施の形態】 本発明では、ゲート酸化膜のうち、窒化処理を施すのは、表面側の第二のシリコン酸化膜であるため、窒素濃度のピークが第二のシリコン酸化膜のシリコン基板側界面に位置しても、シリコン基板とは、第一のシリコン酸化膜で隔てられているため、シリコン基板に侵入する窒素の濃度は、従来法に比べ抑制することができる。これにより、ホウ素のシリコン基板への侵入を抑制しながらも、窒素のシリコン基板への侵入も低減し、それによるデバイス特性劣化も抑制できる。

【0007】 以下、本発明を実施例によりさらに説明する。

(実施例 1) 以下に、本発明の実施例について図面を参照して説明する。図 2 (a) ~ (e) は、本発明の実施例の半導体装置における絶縁膜の製造工程を説明するための、工程順に示した断面図である。まず初めに、通常の素子分離工程によりシリコン基板に素子分離酸化膜を形成後、RCA 洗浄、0.1% HF 水溶液による洗浄で表面を水素終端させたシリコン単結晶基板 101 を、酸素または水蒸気を含むガス中にて熱処理し、図 2 (a) に示す (素子分離酸化膜は図示せず) ように、2 nm 程度の膜厚の第一のシリコン酸化膜 102 を形成する。これは、例えば、急速熱処理酸化 (RTO: Rapid Thermal Oxidation) 法により、酸素ガス中、800℃の熱処理にて形成することが出来る。次に、図 2 (b) に示すように、第一のシリコン酸化膜 102 上に 2 nm 程度のシリコン膜 103 を形成する。これは、例えば、LP-CVD 法にて、原料ガス  $\text{SiH}_4$  を用いて、1 Torr、530℃で形成することができる。続いて、図 2 (c) に示すように、窒素を含むガス、例えば  $\text{NH}_3$  ガス雰囲気中で急速熱処理にて 900℃、90 秒熱処理し、シリコン膜 103 を窒素化する。さらに、図 2 (d) に示すように、酸素または水蒸気を含むガス中にて熱処理し、シリコン膜 103 を酸化し、第二のシリコン酸化膜 104 とする。これは、例えば、水蒸気ガス中、850℃の熱処理で形成できる。この結果、シリコン基板の熱酸化により形成した第一のシリコン酸化膜 102 と第二のシリコン酸化膜 104 が積層することにより、これらはまとめて膜厚 4 ~ 5 nm のゲート酸化膜 105 とみなすことができる。そしてこの後、ゲート酸化シリコン膜 105 上にゲート電極 106 を形成することにより図 2 (e) のように MOS 構造ができ上がる。

【0008】ここで、図 1 に示したように、窒素処理したシリコンを酸化すると、窒素濃度のピークは、既に酸化されたシリコン酸化膜と未酸化のシリコンの界面に存在するので、以上の実施例 1 で示した工程における第一のシリコン酸化膜 102 上のシリコン膜 103 の酸化では、窒素のピークは図 3 に示すように、第一のシリコン酸化膜 102 上に形成したシリコン膜 103 の未酸化部分と、表面側から形成の進んでいるシリコン酸化膜部分の界面に存在し、この界面は酸化が進むにつれ、基板側へと移動し、窒素の濃度ピークも移動することになる。そして、界面が第一のシリコン酸化膜 102 に到達したところ、即ち、第一のシリコン酸化膜 102 と第二のシ

リコン酸化膜 104 が接続したところで、酸化を終了すると、窒素の濃度ピーク位置は、第一のシリコン酸化膜 102 と第二のシリコン酸化膜 104 が接続した所となる。これによって、元から存在した第一のシリコン酸化膜 102 と、新たに第一のシリコン酸化膜上のシリコン酸化して得られた第二のシリコン酸化膜 104 がつながり、一つのゲート酸化膜 105 とみなすことができ、しかもそのゲート酸化膜 105 の中央付近に窒素濃度のピークを作ることができ、シリコン基板 101 への窒素の侵入を抑えることができる。

【0009】(実施例 2) 実施例 1 において、第一のシリコン酸化膜 102 上にシリコン膜 103 を形成した後、シリコン膜 103 を窒素化せずに、シリコン膜 103 を窒素および酸素または水蒸気を含むガス、例えば  $\text{N}_2\text{O}$  を含む雰囲気にて酸化及び窒素処理し、シリコン膜 103 をシリコン窒素酸化膜 104 にすることもできる (図 4 参照)。この手法においても、実施例 1 と同様に窒素濃度のピークは、シリコン酸化膜の酸化膜部分と未酸化部分の境界面に存在するため、第一のシリコン酸化膜上のシリコン膜を窒素酸化した後は、ゲート酸化膜の中央に窒素濃度のピークを位置させることができ、シリコン基板への窒素の侵入を低減させることができる。

【0010】

【発明の効果】本発明によれば、ホウ素のシリコン基板への侵入を抑制し、デバイス特性劣化を抑制しながらも、窒素のシリコン基板への侵入も低減し、それによるデバイス特性劣化も抑制できるシリコン酸化膜を有する半導体装置およびその製造方法が提供される。

【図面の簡単な説明】

【図 1】従来技術の問題点を説明するための図である

【図 2】本発明の実施例 1 での MOS トランジスタの一部の製造工程を説明するための図である。

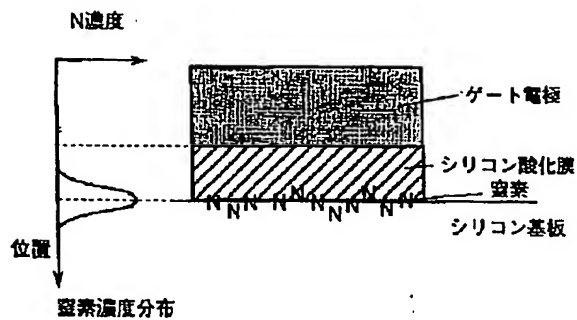
【図 3】本発明の実施例 1 での MOS トランジスタの断面の窒素分布と酸化時間との関係を説明するための図である。

【図 4】本発明の実施例 2 での MOS トランジスタの一部の製造工程を説明するための図である。

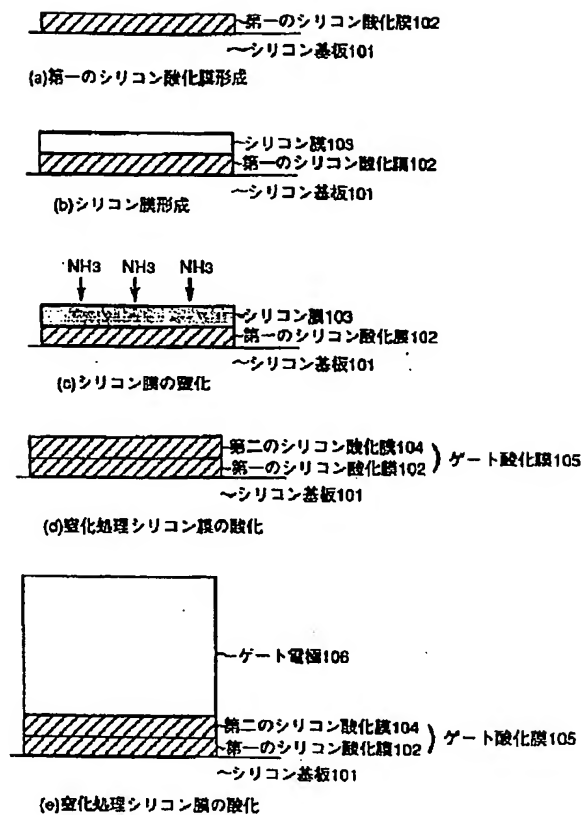
【符号の説明】

101 ……シリコン基板、102 ……第一のシリコン酸化膜、103 ……シリコン膜、104 ……第二のシリコン酸化膜、105 ……ゲート酸化膜、106 ……ゲート電極。

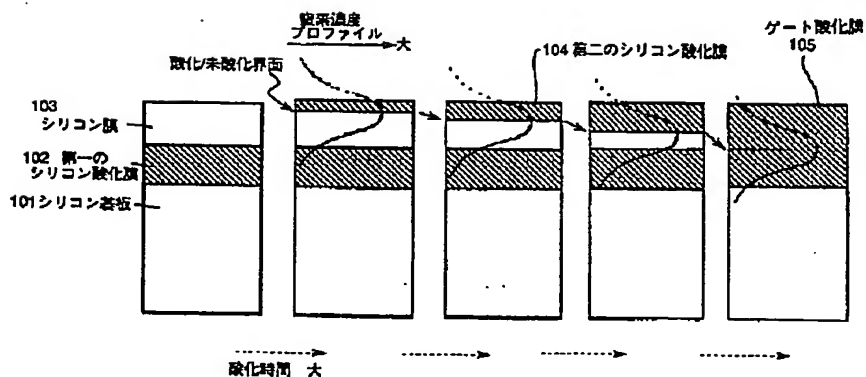
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

